

DATA PROCESSOR AND METHOD FOR UPDATING DATA TABLE

Patent number: JP2002342256

Also published as:

Publication date: 2002-11-29

WO20093390 (A1)

Inventor: KOYAMA HIDEMI; IWATA KATSUMI; IIDA YOSHIKAZU; FUKAZAWA SHINICHI; FUJIMOTO TSUKASA

US2004122984 (A1)

Applicant: HITACHI LTD; HITACHI HOKKAI SEMICONDUCTOR; KOKUSAI ELECTRIC ALHPA CO LTD

Classification:

- international: G06F3/00; G06F9/445; G06F13/12; G06F13/38; G06K17/00; G06F3/00; G06F9/445; G06F13/12; G06F13/38; G06K17/00; (IPC1-7): G06F13/12

- european:

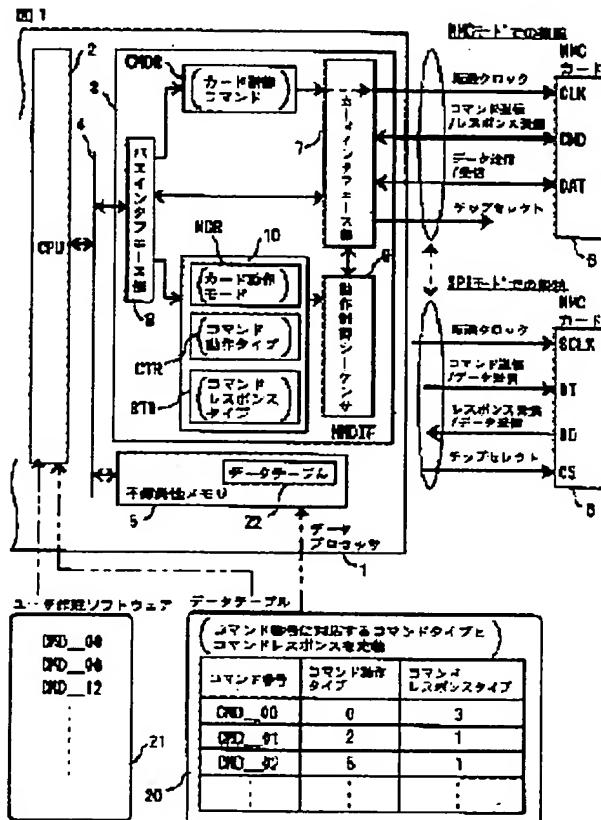
Application number: JP20010142499 20010514

Priority number(s): JP20010142499 20010514

[Report a data error here](#)

Abstract of JP2002342256

PROBLEM TO BE SOLVED: To provide a data processor, capable of readily facilitating countermeasures to the addition and change of interface specifications represented by the command specifications of the target equipment of interface control. **SOLUTION:** In an interface controller (3), first control information to be applied to a first latch means (CMDR) for controlling the operation of target equipment (6) of interface control, connected to the interface controller (3) and second control information to be applied to second latch means (MDR, CTR, RTR) for controlling the interface operation with the target equipment of interface control are made correspond to each other, so as to be respectively defined. When a command specified for the target equipment of the interface control is added or changed, countermeasures are facilitated, by independently correcting the both control information concerning the transmission of the command to the target equipment of interface control and the interface control operation of the interface controller itself.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-342256

(P2002-342256A)

(43) 公開日 平成14年11月29日(2002.11.29)

(51) Int.Cl.⁷

識別記号
340

F I
G 0 6 F 13/12

テマコート(参考)

(21)出願番号 特願2001-142499(P2001-142499)

(22)出願日 平成13年5月14日(2001.5.14)

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594
日立北海セミコンダクタ株式会社

(71)出願人 501189819
北海道電田郡七飯町字中島143番地
国際電気アルファ株式会社

(74) 代理人 100089071

100033071

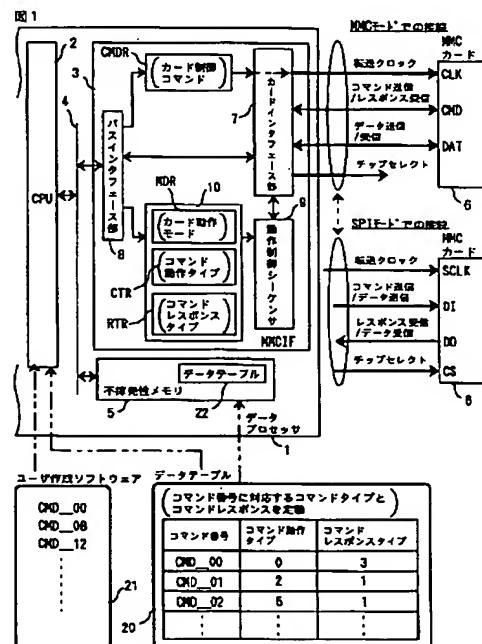
最終頁に統ぐ

(54) 【発明の名称】 データプロセッサ及びデータテーブルの更新方法

(57)【要約】

【課題】 インタフェース制御対象機器のコマンド仕様などに代表されるインターフェース仕様の追加・変更に対して対応が容易なデータプロセッサを提供する。

【解決手段】 インタフェースコントローラ(3)は、それに接続されるインタフェース制御対象機器(6)の動作を制御するために第1のラッチ手段(CMDR)に与えられる第1の制御情報と、前記インタフェース制御対象機器との間のインタフェース動作を制御するために第2のラッチ手段(MDR, CTR, RTR)に与えられる第2の制御情報とを対応させて夫々別々に定義できるようにしてある。インタフェース制御対象機器のために規定されているコマンドに追加或は変更があったとき、前記インタフェース制御対象機器へのコマンド送出の点と、インタフェースコントローラそれ自体のインタフェース制御動作の点に関して、双方の制御情報を独立に修正して対処することができる。



【特許請求の範囲】

【請求項1】 中央処理装置と、前記中央処理装置によって制御されるインターフェースコントローラとを有し、前記インターフェースコントローラは、それに接続されるインターフェース制御対象機器の動作を制御するための第1の制御情報が前記中央処理装置の制御に基づいて与えられる第1のラッチ手段と、前記インターフェース制御対象機器との間のインターフェース動作を制御するための第2の制御情報が前記中央処理装置の制御に基づいて与えられる第2のラッチ手段とを有して成るものであることを特徴とするデータプロセッサ。

【請求項2】 前記インターフェースコントローラは前記第1及び第2のラッチ手段に第1及び第2の制御情報がラッチされた後に、第1の制御情報を送出する制御手段を有して成るものであることを特徴とする請求項1記載のデータプロセッサ。

【請求項3】 前記第2の制御情報は第1の制御情報によるインターフェース制御対象機器の動作形態を基本的な形態に類別する第1のタイプ指定情報と、類別された動作形態中のバリエーションを類別するための第2のタイプ指定情報を含むことを特徴とする請求項1記載のデータプロセッサ。

【請求項4】 前記インターフェースコントローラは前記第1及び第2のタイプ指定情報をデコードしてインターフェース動作を制御する制御手段を有して成るものであることを特徴とする請求項3記載のデータプロセッサ。

【請求項5】 前記第1のタイプ指定情報は、データ転送の有無、データ転送の方向、データ転送シーケンスの基本形態を類別する複数ビットの情報を含むことを特徴とする請求項3記載のデータプロセッサ。

【請求項6】 前記第2のタイプ指定情報は、コマンドに対するレスポンスのデータ量を指定する複数ビットの情報を含むことを特徴とする請求項3記載のデータプロセッサ。

【請求項7】 前記第2の制御情報は前記インターフェース制御対象機器との接続端子機能を選択可能に決定する動作モード情報を含むことを特徴とする請求項1記載のデータプロセッサ。

【請求項8】 第1の制御情報と第2の制御情報との対応関係を前記中央処理装置によって参照可能に保持することができる不揮発性記憶装置を更に備えて成るものであることを特徴とする請求項1記載のデータプロセッサ。

【請求項9】 前記不揮発性記憶装置は中央処理装置を介して書換え可能なフラッシュメモリであることを特徴とする請求項8記載のデータプロセッサ。

【請求項10】 1個の半導体チップに形成されて成るものであることを特徴とする請求項9記載のデータプロセッサ。

【請求項11】 前記インターフェースコントローラは前 50

記インターフェース制御対象機器としての不揮発性メモリカードを制御するものであることを特徴とする請求項1記載のデータプロセッサ。

【請求項12】 前記不揮発性メモリカードはマルチメディアカードであることを特徴とする請求項1記載のデータプロセッサ。

【請求項13】 中央処理装置と、前記中央処理装置によって制御されるインターフェースコントローラとを有し、

10 前記インターフェースコントローラは、それに接続されるインターフェース制御対象機器の動作を制御するための第1の制御情報が前記中央処理装置の制御に基づいて与えられる第1のラッチ手段と、前記インターフェース制御対象機器との間のインターフェース動作を制御するための第2の制御情報が前記中央処理装置の制御に基づいて与えられる第2のラッチ手段とを有し、

前記中央処理装置は第1のラッチ手段に与えた第1の制御情報をインターフェース制御対象機器に向けて送出させた後に、第2のラッチ手段へ与える第2の制御情報を逐次変更することによって、当該第1の制御情報に基づいて動作する前記インターフェース制御対象機器との間のインターフェース動作を逐次制御するものであることを特徴とするデータプロセッサ。

20 【請求項14】 インターフェースコントローラと当該インターフェースコントローラを制御するのに参照されるデータテーブルとを有するデータ処理システムにおいて、前記データテーブルを更新する方法であって、
前記インターフェースコントローラは、それに接続されるインターフェース制御対象機器の動作を制御するための第1の制御情報が与えられる第1のラッチ手段と、前記インターフェース制御対象機器との間のインターフェース動作を制御するための第2のラッチ手段とを有し、

30 前記データテーブルは、前記第1の制御情報と第2の制御情報の対応関係を書換え可能に保持し、
第1の制御情報の追加又は変更に応じて、データテーブルに追加に係る第1の制御情報と第2の制御情報の対応を追加し、データテーブル上の変更に係る第1の制御情報と第2の制御情報の対応を修正することを特徴とするデータテーブルの更新方法。

40 【請求項15】 前記データテーブルは書換え可能な不揮発性記憶装置であることを特徴とする請求項14記載のデータテーブルの更新方法。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】本発明は、マルチメディアカード（MMCカード）、セキュアディジタルカード（SDカード）、フラッシュメモリカード、又はATAアッチャメントカード（ATAカード）等の周辺機器に対してインターフェース制御を行うインターフェースコントローラ

を内蔵するデータプロセッサに関し、特にインターフェース制御対象機器である周辺機器に対する制御コマンドの仕様変更や制御コマンドの追加等に対応するための技術に関し、例えば、MMCカードのインターフェースコントローラ、更にはそれを搭載したシングルチップのデータプロセッサに適用して有効な技術に関する。

【0002】

【従来の技術】パーソナルコンピュータ(PC)や携帯端末等にはMMCカードに代表される不揮発性の小型ストレージデバイスをはじめとして種々の周辺機器が利用される。そのような周辺機器を接続して制御するためのインターフェースコントローラは、周辺機器のインターフェース仕様を満足する信号入出力制御機能を備えることが必要になる。例えば、マルチメディアカードの場合、端子機能、動作電圧、コマンド仕様、データ形式などが予め決められている。例えば、MMCカードでは、SPIモードとMMCモードを有し、コマンドはコマンド部、アーギュメント部及びCRC部から成り、マルチメディアカードに所定のコマンドが発行されるとレスポンスを返す、というような仕様が定められている。

【0003】尚、MMCカードについて記載された文献の例として、株式会社CQ出版発行のインターフェース(1999年12月発行)第124頁乃至第130頁がある。

【0004】

【発明が解決しようとする課題】本発明者は、MMCカードなどの周辺機器を接続して制御するためのインターフェースコントローラに周辺機器のインターフェース仕様を満足させる方法について検討した。それによれば、インターフェース仕様を満足させるためには、周辺機器のコマンド仕様にしたがい、そのコマンドによって動作する周辺機器とのインターフェースを制御する制御機能を実現すればよく、例えば、周辺機器に与えるコマンドをデコードしてインターフェースコントローラ側で必要な処理を実行させることができ。しかしながら、そのようなハードワイヤードロジックに全面的に依存する制御論理を採用した場合には、コマンド仕様の変更やコマンドの追加に対して、対応するのが容易ではないということが明らかにされた。特に、ユーザユニークなコマンドの追加が仕様上保証されている場合には、可能性として存し得る全てのコマンドに対応するには無駄が多く、現実的でないことが見出された。

【0005】本発明の目的は、インターフェース制御対象機器のコマンド仕様などに代表されるインターフェース仕様の追加・変更に対して対応が容易なデータプロセッサを提供することにある。

【0006】本発明の別の目的は、インターフェース制御対象機器のコマンド仕様などに代表されるインターフェース仕様の追加・変更に対して回路規模の増大を招くこと無く対応することができるデータプロセッサを提供する

ことにある。

【0007】本発明のその他の目的は、インターフェース制御対象機器のコマンド仕様などに代表されるインターフェース仕様の追加・変更に対して容易に対応するためのデータテーブルの更新方法を提供することにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】(1) 本発明に係るデータプロセッサは、中央処理装置と、前記中央処理装置によって制御されるインターフェースコントローラ(3)とを有する。前記インターフェースコントローラは、それに接続されるインターフェース制御対象機器(6)の動作を制御するための第1の制御情報が前記中央処理装置の制御に基づいて与えられる第1のラッチ手段(CMDR)と、前記インターフェース制御対象機器との間のインターフェース動作を制御するための第2の制御情報が前記中央処理装置の制御に基づいて与えられる第2のラッチ手段(MDR, CTR, RTR)とを備える。

【0011】上記データプロセッサにおいて、インターフェース制御対象機器に規定されているコマンドに追加または変更があれば、当然インターフェースコントローラの制御内容も影響を受ける。このとき、インターフェース制御対象機器へのコマンド送出の点に関しては、追加または変更されたコマンドコードを第1の制御情報の一つとして新たに追加しまたは対応する第1の制御情報を修正して対処すればよい。また、インターフェースコントローラそれ自体のインターフェース制御動作の点に関しては、追加または変更されたコマンドコードによるインターフェース制御対象機器の機能若しくは動作の追加又はその変更に対応する制御を行うように第2の制御情報を修正して対処すればよい。これにより、インターフェース制御対象機器へ送出するコマンドを直接デコードしてインターフェース制御を行う場合に比べ、インターフェース仕様の追加・変更に対して対応が容易であり、また、インターフェース仕様の追加・変更に対して回路規模の増大を招くこと無く対処することができる。

【0012】前記インターフェースコントローラは前記第1及び第2のラッチ手段に第1及び第2の制御情報がラッチされた後に、第1の制御情報を送出する制御手段(9)を有することが望ましい。自らのインターフェース制御の内容が確定してから、インターフェース制御対象機器に動作を開始させる方が、インターフェース動作が安定する。

【0013】前記第2の制御情報は第1の制御情報によるインターフェース制御対象機器の動作形態を基本的な形

態に類別する第1のタイプ指定情報と、類別された動作形態の中のバリエーションを類別するための第2のタイプ指定情報とを含む。これにより、第1のタイプ指定情報と、第2のタイプ指定情報との組み合わせによって規定することができる全てのコマンド動作をサポートすることが可能になり、その範囲内であれば、コマンド仕様の追加及び変更に対処することが可能であり、しかもその対処法は明解である。

【0014】前記インターフェースコントローラは前記第1及び第2のタイプ指定情報をデコードしてインターフェース動作を制御する制御手段(9)を有していれば、その制御手段がハードワイヤードロジックであっても、プログラム制御であっても、容易に対処することができる。

【0015】前記第1のタイプ指定情報には、データ転送の有無、データ転送の方向(リード、ライト)、データ転送シーケンスの基本形態を類型化した複数ビットの情報を採用してよい。前記第2のタイプ指定情報には、コマンドに対するコマンドレスポンスのデータ量を指定する複数ビットの情報を採用してよい。

【0016】前記第2の制御情報は前記インターフェース制御対象機器との接続端子機能を選択可能に決定する動作モード情報を含んでよい。

【0017】第1の制御情報と第2の制御情報との対応関係を前記中央処理装置によって参照可能に保持することができる不揮発性記憶装置(5)を更に備えてよい。そのような不揮発性記憶装置に対する対応関係データの書き込みは、予めそのような対応関係が規定されているデータライブラリを用いて行うと効率的である。コマンド仕様の変更や追加の有る毎に、書き換えを行えば万全である。そのようなデータライブラリからのデータダウンロードは、インターネットなどのネットワークを介して行えば更に能率的である。

【0018】前記不揮発性記憶装置は中央処理装置を介して書換え可能なフラッシュメモリとしてよい。このフラッシュメモリを含めて、データプロセッサを1個の半導体チップに形成してよい。当然マルチチップ構成を採用することも可能である。

【0019】前記インターフェースコントローラは例えば、前記インターフェース制御対象機器としての不揮発性メモリカードを制御する。前記不揮発性メモリカードは例えばマルチメディアカードである。

【0020】(2)別の観点によるデータプロセッサは、上記同様中央処理装置及びインターフェースコントローラとを有し、前記インターフェースコントローラ(3A)は、それに接続されるインターフェース制御対象機器の動作を制御するための第1の制御情報が前記中央処理装置の制御に基づいて与えられる第1のラッチ手段(30, 31)と、前記インターフェース制御対象機器との間のインターフェース動作を制御するための第2の制御情報

が前記中央処理装置の制御に基づいて与えられる第2のラッチ手段(34)とを有するこのとき、前記中央処理装置は、第1のラッチ手段に与えた第1の制御情報をインターフェース制御対象機器に向けて送出させた後、第2のラッチ手段へ第2の制御情報を逐次与えることによって、当該第1の制御情報に基づいて動作する前記インターフェース制御対象機器との間のインターフェース動作を逐次的に制御するものである。インターフェース動作の逐次的制御は、CPUのソフトウェアへの依存度が高く、CPUの負担は増えるが、制御動作の融通性が増すことができる。この逐次制御は所謂プログラム制御に類似の制御形態となる。これによっても上記同様、インターフェース制御対象機器のコマンド仕様などに代表されるインターフェース仕様の追加・変更に対して対処が容易になり、また、そのようなインターフェース仕様の追加・変更に対して回路規模の増大を招くこと無く対処することができる。

【0021】(3)前記インターフェース制御対象機器のコマンド仕様の変更などに対処するためのデータテーブルの更新方法は、インターフェースコントローラと当該インターフェースコントローラを制御するのに参照されるデータテーブル(20, 22)とを有するデータ処理システムにおける前記データテーブルの更新方法である。前記インターフェースコントローラは、それに接続されるインターフェース制御対象機器の動作を制御するための第1の制御情報が与えられる第1のラッチ手段(CMDR)と、前記インターフェース制御対象機器との間のインターフェース動作を制御するための第2の制御情報が与えられる第2のラッチ手段(MDR, CTR, RTR)とを有する。前記データテーブルは、前記第1の制御情報と第2の制御情報の対応関係を書換え可能に保持する。このとき、第1の制御情報の追加又は変更に応じて、データテーブルに、追加に係る第1の制御情報と第2の制御情報の対応を追加し、データテーブル上で、変更に係る第1の制御情報と第2の制御情報の対応を修正する。前記データテーブルは例えば書換え可能な不揮発性記憶装置(5)である。

【0022】この方法によれば、前記インターフェース制御対象機器のコマンド仕様などが変更されると、それに対応する第2の制御情報を用いることが必要になるが、上記データテーブルの更新方法を用いて、第1の制御情報と第2の制御情報の新たなペアをデータテーブルに備えるようにすれば、コマンド仕様などの変更に対処するのに大きな処理負担もない。

【0023】

【発明の実施の形態】図1には本発明に係るデータプロセッサ1の第1の例が示される。同図に示されるデータプロセッサ1は、例えばCMOS集積回路製造技術により単結晶シリコンのような1個の半導体基板(半導体チップ)に形成される。

【0024】データプロセッサ1は、中央処理装置(CPU)2と、前記CPU2によって制御されるインターフェースコントローラとしてのMMCインターフェースコントローラ(MMCIF)3とを有する。前記CPU2とMMCIF3はバス4で接続され、また、このバス4には電気的に消去及び書き込み可能なフラッシュメモリのような不揮発メモリ5が結合される。

【0025】前記MMCIF3は、インターフェース制御対象機器としてのMMCカード6に接続されるカードインターフェース部7、バスインターフェース部8、動作制御シーケンサ9、及び複数のレジスタ及びバッファを有する。前記レジスタ及びバッファとして、第1のラッチ手段の一例であるコマンドレジスタCMDR、第2のラッチ手段10の一例であるモードレジスタMDR、コマンドタイプレジスタCTR、及びレスポンスタイプレジスタRTRが代表的に示されている。図示は省略するが前記第2ラッチ手段にはその他に、コマンドスタートレジスタ、転送ブロック数カウンタ、及び転送バイト数カウンタ等が設けられている。前記バスインターフェース部8は前記バス4を介してCPU2に接続される。前記コマンドレジスタCMDR及び第2のラッチ手段10はバスインターフェース8を介して情報設定される。

【0026】前記コマンドレジスタCMDRには、前記MMCIF3に接続される前記MMCカード6の動作を制御するためのカード制御コマンド(第1の制御情報)がCPU2から与えられる。コマンドレジスタCMDRに設定されたカード制御コマンドは動作制御シーケンサ9の制御に基づいてカードインターフェース部7を介してMMCカード6に与えられる。カード制御コマンドは図2に例示されるように、6バイトのデータ長を有し、1バイトのコマンド部、4バイトのアギュメント部、及び1バイトのCRC部から構成される。コマンド部の先頭にはコマンドスタートビット("0")、データ送信方向ビットを有し、コマンドインデックスとしてのコマンド番号は6ビットで指定される。アギュメント部にはアクセスアドレス等のアクセス制御情報が格納される。

【0027】MMCカード6はMMCIF3から与えられるカード制御コマンドの内容に従って、例えば、MMCカード6のステータスをMMCIF3にコマンドレスポンスとして返し、また、リードアクセスを行ってMMCカード6からリードデータをMMCIF3に返し、また、MMCIF3からのライトデータをMMCカード6に格納したりする動作を行う。カード制御コマンドにしたがってMMCカード6が動作した結果返されるコマンドレスポンスやリードデータを受け取り、或はライトデータをMMCカード6に供給したりする、MMCIF3によるインターフェース制御は、前記カード制御コマンドに対応して前記レジスタMDR、CTR、RTRに設定された制御情報を動作制御シーケンサ9が解読すること

によって行う。

【0028】前記カード制御コマンドのコマンド番号とそれに対応する動作及び機能に関する基本的な仕様は、MMCアソシエーションによってすでに策定されている。その内容は公知であり、ここでは詳述しないが、6ビットで指定し得る番号の一部についてコマンドを規定している。規定以外の空き番号に関しては将来拡張コマンドの追加が行われる可能性がある。

【0029】前記モードレジスタMDRには、前記MMCカード6との接続端子機能を選択可能に決定する動作モード、即ちMMCモード又はSPIモードを選択するための動作モード情報がCPU2によって設定される。

【0030】MMCカード6のコマンド、端子機能、カードサイズなどの基本仕様はMMCアソシエーションによって既に策定されている。この仕様では、MMCカード6は第1乃至第7外部端子を有し、MMCモード(マルチメディアカードモード)では、図3に例示されるように、図示しない第1外部端子はリザーブ端子(オープン又は論理値"1"に固定)、第2外部端子はコマンド端子(コマンド入力及び応答信号出力を行う)CMD、図示しない第3及び第6外部端子は回路の接地電圧(グランド)端子、図示しない第4外部端子は電源電圧供給端子、第5外部端子はクロック入力端子CLK、第7外部端子はデータの出入力端子DATとして機能される。SPI(シリアル・ペリフェラル・インターフェース)モードでは、図4に例示されるように、第1外部端子はチップセレクト端子(負論理)CS、第2外部端子はデータ入力端子(ホスト装置からカードへのデータ及びコマンド入力用)DI、図示しない第3及び第6外部端子は回路の接地電圧(グランド)端子、図示しない第4外部端子は電源電圧供給端子、第5外部端子はクロック入力端子CLK、第7外部端子はデータ出力端子(メモリカードからホスト装置へのデータ及びステータス出力)DOとして機能される。MMCモードは複数のMMCカードを同時に使用するシステムに好適な動作モードであり、MMCカードの識別はホスト装置がMMCカードに設定したカード識別ID(相対アドレス)を用いる。SPIモードは簡易で安価なシステムでの利用に最適であり、MMCカードの選択はホスト装置から供給されるチップ選択信号CSによって行われる。

【0031】前記コマンドタイプレジスタCTRには、前記カード制御コマンドによるMMCカード6の動作形態を基本的な形態に類別するための第1のタイプ指定情報(コマンド動作タイプ情報)として、カード制御コマンドで指定される動作にデータ転送動作が付随するか否か、データ転送動作が付随する場合のデータ転送の方向(リード動作又はライト動作の区別)、及び付随するデータ転送動作のデータ転送シーケンスの基本形態を類型化した、複数ビットの情報がCPU2によって設定される。データ転送シーケンスの基本的な形態とは、特に制

限されないが、シングルデータブロック転送、マルチブルデータブロック転送、及びストリームデータ転送とされる。

【0032】前記レスポンスタイプレジスタCTRにはコマンドタイプレジスタCTRに設定されるコマンド動作タイプ情報で類別された動作形態の中のバリエーションを類別するための第2のタイプ指定情報（コマンドレスポンスタイプ情報）として、例えばコマンドに対するコマンドレスポンスのデータ量を指定する複数ビットの情報がCPU2によって設定される。指定可能なデータ量は、0バイト（コマンドレスポンスを要せず）、1バイト、2バイト、5バイト、6バイト、又は17バイトとされる。

【0033】前記コマンド動作タイプ情報及びコマンドレスポンスタイプ情報の組み合わせによって表すことができるカード制御コマンドによる動作の類型は図5に概略的に示すことができる。即ち、コマンドレスポンス及びデータ転送を伴わない第1コマンド形態（CMD）、データ転送を伴わずコマンドレスポンスを伴う第2コマンド形態（CMD+RES）、データ転送を伴わず特定コマンドレスポンス（書き換えビジー）を伴う別の第3コマンド形態（CMD+RES（busy））、コマンドレスポンス及びシングルデータブロックリードを伴う第4コマンド形態（CMD+RES+Read Data・シングル）、コマンドレスポンス及びマルチブルデータブロックリードを伴う第5コマンド形態（CMD+RES+Read Data・マルチブル）、コマンドレスポンス及びストリームデータリードを伴う第6コマンド形態（CMD+RES+Read Data・ストリーム）、コマンドレスポンス及びシングルデータブロックライトを伴う第7コマンド形態（CMD+RES+Write Data・シングル）、コマンドレスポンス及びマルチブルデータブロックライトを伴う第8コマンド形態（CMD+RES+Write Data・マルチブル）、コマンドレスポンス及びストリームデータライトを伴う第9コマンド形態（CMD+RES+Write Data・ストリーム）、コマンドレスpons及びデータ転送を伴わずに特定の動作（マルチブルデータブロックアクセス、ストリームデータアクセスの停止）を行う第10コマンド形態（CMD(stop)）に類型化される。

【0034】ここで、MMC IF3による制御動作の幾つかを説明する。図6はコマンド送信及びコマンドレスポンス受信の動作シーケンスが例示される。この動作シーケンスは、前記第2コマンド形態（CMD+RES）に応ずる。図6において、CPU2はモードレジスタMDRにカード動作モード情報を設定し（時刻t0）、コマンドレジスタCMDRにカード制御コマンドを設定し（時刻t1）、コマンドタイプレジスタCTRにコマンド動作タイプを設定し（時刻t2）、コマンドレスポンスレジスタCTRにコマンドレスポンスタイプを設定す

る（時刻t3）。図においてL2は第2ラッチ手段（MDR, CTR, RTR）の総称であり、L1はコマンドレジスタCMDRを意味する。その後、CPU2がコマンドスタートレジスタにイネーブルビットをセットすると（時刻t4）、MMC IF3はコマンドレジスタCMDRのカード制御コマンドを送信する（時刻t5）。MMCカード6はこれを受信し、受信したコマンドで特定される内部処理を行い、内部のステータスをコマンドレスポンスとしてMMC IF3に返す（時刻t6）。

【0035】図7はコマンド送信、コマンドレスポンス受信、データリードアクセスの動作シーケンスが例示される。この動作シーケンスは、前記第4コマンド形態（CMD+RES+Read Data・シングル）に応ずる。図7において、CPU2は上記同様に、カード動作モード情報の設定（時刻t0）、カード制御コマンドの設定（時刻t1）、コマンド動作タイプの設定（時刻t2）、コマンドレスポンスタイプの設定（時刻t3）、コマンドスタートレジスタへのイネーブルビットのセット（時刻t4）を行う。これにより、MMC IF3はコマンドレジスタCMDRのカード制御コマンドを送信し（時刻t5）、これに応答してMMCカード6は内部のステータスをコマンドレスポンスとしてMMC IF3に返す（時刻t6）。そして、MMCカード6からリードされたデータがMMC IF3に供給される（時刻t7）。リードアドレスはカード制御コマンドのアギュメント部の内容によって指定される。

【0036】図8はコマンド送信、コマンドレスポンス受信、マルチブルデータリードアクセスの動作シーケンスが例示される。この動作シーケンスは、前記第5コマンド形態（CMD+RES+Read Data・マルチブル）に応ずる。図8において、CPU2は上記同様に、時刻t0からカード動作モード情報の設定、カード制御コマンドの設定、コマンド動作タイプの設定、コマンドレスポンスタイプの設定を行った後、コマンドスタートレジスタへのイネーブルビットのセット（時刻t4）を行う。これにより、MMC IF3はコマンドレジスタCMDRのカード制御コマンドを送信し（時刻t5）、これに応答してMMCカード6は内部のステータスをコマンドレスポンスとしてMMC IF3に返す（時刻t6）。

40 そして、MMCカードから最初にリードされたデータがMMC IF3に供給される（時刻t7）、前記第10コマンド形態（CMD(stop)）が送信されるまで、それに後続するリードデータが、次データ受信指示に応答しながらMMC IF3に供給される（時刻t8, t9, t10）。リードデータのリード開始アドレスはカード制御コマンドのアギュメント部の内容によって指定される。

【0037】図9はコマンド送信、コマンドレスポンス受信、ライトアクセスの動作シーケンスが例示される。この動作シーケンスは、前記第7コマンド形態（CMD

+RES+Write Data・シングル)に応ずる。図9において、CPU2は上記同様に、カード動作モード情報の設定(時刻t0)、カード制御コマンドの設定(時刻t1)、コマンド動作タイプの設定(時刻t2)、コマンドレスポンスタイプの設定(時刻t3)、コマンドスタートレジスタへのイネーブルビットのセット(時刻t4)を行う。これにより、MMCIF3はコマンドレジスタCMDRのカード制御コマンドを送信し(時刻t5)、これに応答してMMCカード6は内部のステータスをコマンドレスポンスとしてMMCIF3に返す(時刻t6)。MMCIF3はコマンド送信指示に続いて書き込みデータの送信を行い、これを受けるMMCカード6はその書き込みデータのライト動作を行う(時刻t7)。最後にMMCカード6は、データレスポンスとして書き込みデータに対するCRCチェックを行い、その結果をデータレスポンスとしてMMCIF3に返す(時刻t8)。ライトデータのライトアドレスはカード制御コマンドのアーギュメント部の内容によって指定される。

【0038】前述のコマンド動作タイプ情報及びコマンドレスポンスタイプ情報による図5のようなカード制御コマンドの類型化は、既に策定されているMMCカードのコマンド仕様に準拠して行なわれている。したがって、MMCアソシエーションが策定した全てのコマンドは図5の何れかの類型に当たる。また、前記コマンド動作タイプ情報及びコマンドレスポンスタイプ情報の組合せ若しくは設定内容次第で、策定されていないコマンド機能を定義することも可能である。例えば、SPIモードにおいてマルチブルアクセス動作を制御するコマンドが策定されていないとする。後からそのようなSPIモードのコマンド仕様にマルチブルロックデータアクセスのコマンド機能が追加され、或はユーザユニークなコマンドとして採用される場合には、追加されたコマンド機能に応じて、コマンド動作タイプ情報及びコマンドレスポンスタイプ情報の組み合わせを新たに定義するだけでそのようなコマンド機能をMMCIF3に追加することが可能になる。このようにしてMMCIF3に新たなコマンドに応答する制御機能が追加されたとき、その機能をMMCカード6に処理させるためのカード制御コマンドには、仕様追加されたコマンド機能に割当てられた仕様上のコマンドコードを用いることになる。

【0039】更に詳しく説明する。例えば、MMCカードの仕様上、コマンド番号CMD21のコマンドが規定されていないとする。仕様変更により後から、コマンド番号CMD21として新たなコマンドが追加されたと想定する。その場合には、追加されたコマンド機能に応答するインタフェース制御機能をレジスタMDR、CTR、RTRの設定情報として定義し、これに対応してレジスタCMDRに設定すべきコマンド番号CMD21のカード制御コマンドにはコマンド部にコマンドインデックスとして値21のコードを採用することになる。ま

た、コマンド番号CMD17のコマンド機能が仕様変更になる場合には、その変更がレジスタCTR、RTRの設定値で変更可能な範囲であれば、コマンド番号CMF17のカード制御コマンドに対応するレジスタCTR、RTRの設定情報を変更して対処することができる。

【0040】このように、MMCカード6に規定されているコマンド仕様に追加或は変更があったとき、MMCカード6へのコマンド送出の点に関しては、追加或は変更されたコマンドコードを用いるカード制御コマンドを新たに追加し或は対応するカード制御コマンドを修正して対処すればよい。また、動作シーケンサ9によるMMCカード6とのインターフェース制御動作の点に関しては、追加或は変更されたコマンドコードによるMMCカードの機能若しくは動作の追加或はその変更に対応するようにカード動作モード、コマンド動作タイプ、及びコマンドレスポンスタイプの制御情報を修正して対処すればよい。これにより、MMCカード6へ送出するコマンドを直接デコードしてインターフェース制御を行う構成に比べ、インターフェース仕様の追加・変更に対して対処が容易になり、また、インターフェース仕様の追加・変更に対して回路規模の増大を招くこと無く対処することができるようになる。

【0041】ここで、前記レジスタCMDR、MDR、CTR、RTR等に情報を設定してMMCIF3を動作させるためのCPU2の動作プログラムに着目する。そのようなレジスタ設定は、CPU2がその動作動作プログラムを実行することによって行われる。このとき、コマンドレジスタCMDRに設定されるカード制御コマンドと、レジスタMDR、CTR、RTRに設定されるカード動作モード、コマンド動作タイプ及びコマンドレスポンスタイプとは、相互に対応していかなければならない。要するに、カード制御コマンドに含まれるコマンド部のコマンド番号と、コマンド動作タイプ及びコマンドレスポンスタイプの情報とは、機能上相互に対応するものを、レジスタCMDRとレジスタMDR、CTR、RTRに設定しなければならない。この要請に対し、全てをCPU2のプログラム記述で対処してもよい。但しその場合にはソフトウェアの作成上大きな負担になる。

【0042】そこで、図1に例示されるように、コマンド番号と、コマンド動作タイプ及びコマンドレスポンスタイプとの対応を定義したデータテーブル20を用意し、MMCIF3の動作を制御するためにCPU2が実行する動作プログラム21にはカード制御コマンドを記述し、それに対応するコマンド動作タイプ及びコマンドレスポンスタイプの情報についてはプログラム上で直接記述しない。その代わりに、カード制御コマンドに記述されたコマンド番号を検索キーとして、データテーブル20を検索し、それによって得られたコマンド動作タイプ及びコマンドレスポンスタイプの情報を用いてレジスタCTR、RTRへの設定を行う。これにより、ソフト

ウェア作成の労力を軽減することができる。

【0043】データプロセッサ1の製造メーカーが前記データテーブル20の情報をデータライブラリとしてインターネット上で提供すれば、データプロセッサ1のユーザの負担は更に軽減される。そのようなデータテーブル20は、データプロセッサ1とは別チップのRAMやROMに形成してよい。或は、オンチップの不揮発性メモリ5にデータテーブル22を形成してもよい。データテーブル20, 21に対してはMMCカード6のコマンド仕様の変更や追加の有る毎に、書き換えを行えばよいが、インターネットなどを介してデータライブラリからデータダウンロードによって書き換えを行えば、コマンド仕様変更やコマンド追加に対する処理が極めて能率的になり、好都合である。

【0044】図10には本発明に係るデータプロセッサの第2の例が示される。同図に示されるデータプロセッサ1Aは、上記同様CPU2及びMMCIF3Aを有する。前記MMCIF3Aは、それに接続されるMMCカード6の動作を制御するための第1の制御情報が設定される第1ラッチ手段としてのクロック設定レジスタ30及びコマンドレジスタ31を有する。クロック設定レジスタ30にはクロックパルス数がCPU2により設定され、コマンドレジスタ31には前記カード制御コマンドがCPU2により設定される。MMCカード6とのインターフェース動作に当たり、カード制御コマンドは送受信制御回路35を介してMMCカード6に与えられる。カード制御コマンドが与えられて動作されるMMCカード6との間のデータ送受信のインターフェースは送受信データバッファ33を介して行なわれ、前記コマンドレスポンスの受領はコマンドレスポンス受信バッファ32を介して行う。そのようなデータ送受信やコマンドレスポンスの受領制御は、CPU2から第2のラッチ手段としての逐次コントロールレジスタ34に設定される逐次制御情報に従って送受信制御部35が行う。ここで、前記逐次制御情報とは、カード制御コマンド送信の制御情報、コマンドレスポンス受信の制御情報、データ送受信の制御情報というように、動作の順を追って制御シーケンスを実現するためのプログラム制御情報のような情報である。送受信制御部35は時系列的に与えられる逐次制御情報を解読し、レジスタ30, 31やバッファ32, 33を用いてMMCカード6とのインターフェース制御を行い、逐次動作の各動作サイクル数はクロック設定レジスタ30に設定されたクロックパルス数で規定される。CPU2は、レジスタ31に設定したカード制御コマンドをMMCカード6に向けて送出させた後、逐次コントロールレジスタ34にセットする逐次制御情報を逐次更新していくことによって、カード制御コマンドに基づいて動作するMMCカード6との間のインターフェース動作を逐次制御させる。インターフェース動作の逐次制御は、CPU2が実行する動作プロ

グラム21Aへの依存度が高く、CPU2の負担は増え、制御動作の融通性が増す。これによっても上記同様、MMCカード6のコマンド仕様などに代表されるインターフェース仕様の追加・変更に対して対処が容易になり、また、そのようなインターフェース仕様の追加・変更に対して回路規模の増大を招くこと無く対処することができるようになる。

【0045】コマンド番号に対応する逐次制御情報はデータテーブル20Aを参照して取得すればよい。コマンド仕様の追加変更に対しては上記同様にデータテーブル20Aの書き換えで対処することができる。また、データテーブル20Aはデータプロセッサ1Aに対してオフチップのROMやRAMに保持しても、或はデータプロセッサ1Aの不揮発性メモリ5にデータテーブル22Aとして構成してもよい。

【0046】図11には前記データプロセッサ1を全体的に示してある。図11においてデータプロセッサ1は、中央処理装置(CPU)2、データトランスファコントローラ(DTC)40、CPU2の処理プログラムなどを格納するプログラムメモリであるリードオンリーメモリ(ROM)41、CPU2の作業領域並びにデータの一時記憶に利用されるランダムアクセスメモリ(RAM)42、不揮発性メモリ5、バスコントローラ43、クロック発生回路(CPG)44、割込みコントローラ45、タイマカウンタ(TMR)46、シリアルコミュニケーションインターフェースコントローラ(SCI)47、ユニバーサルシリアルバスコントローラ(USB)48、MMCIF3、パルスワイズモジュレータ(PWM)49、ウォッチドッグタイマ(WDT)50、フリーランニングタイマ(FRT)51、及び入出力ポート52～54を有する。MMCIF3に代えてMMCIF3Aを採用してもよい。前記CPU2、DTC40、ROM41、RAM42及びバスコントローラ43はCPUバス56に接続される。このCPUバス56はバスコントローラ43を介して周辺バス57にインターフェースされ、周辺バス57には、周辺回路として、前記割込みコントローラ45、TMR46、SCI47、USB48、MMCIF3、PWM49、及びWDT50が接続される。前記CPUバス56及び周辺バス57は夫々、データバス、アドレスバス及び制御信号バスを含んでおり、前記バス4に対応される。前記周辺バス57は入出力ポート52を介して外部バス(図示せず)とインターフェースされ、CPUバス56はバスコントローラ43を介して周辺バス57、更には入出力ポート52を介して外部バスとインターフェースされる。入出力ポート53、54は周辺回路のための外部インターフェースバッファとして機能される。

【0047】データプロセッサ1においてバスマスタモジュールは、前記CPU2及びDTC40である。前記CPU2は、例えばROM41から命令をフェッチし、

取り込んだ命令を解読する命令制御部と、命令制御部による命令解読結果に従って汎用レジスタや算術論理演算器などを用いて演算処理を行なう実行部とを有する。DTC40のデータ転送制御条件は予めCPU2によりRAM42に設定され、FR T51がデータ転送要求を発すると、対応するデータ転送制御条件がRAM42からDTC40にロードされ、DTC40はロードされた転送制御条件に従ったデータ転送制御を行う。

【0048】バスコントローラ43は、バスマスタモジュールであるCPU2、DTC40、及び外部バスマスターとの間のバス権要求の競合に対する調停を行う。調停論理は例えば優先順位に基づく調停制御である。調停の結果、バス権が与えられたバスマスタモジュールは、バスコマンドを出力し、バスコントローラ43は、このバスコマンドに基づいてバスの制御を行なう。バスコントローラ43は、バスマスタモジュールの出力するアドレス信号がデータプロセッサ1の外部アドレス空間を意味する場合には、入出力ポート52を介して外部にアドレス信号及びアクセスストローブ信号を出力する。

【0049】割り込みコントローラ45には、周辺バス57に接続されたFR T51などの周辺回路から出力される内部割込み信号や入出力ポート54を介して外部から入力される外部割込み信号が供給される。前記内部割込み信号及び外部割込み信号は60で総称される。割り込みコントローラ45は、入力された割込み信号に対して優先制御及びマスク制御を行って、割り込み要求を受け付ける。割り込みコントローラ45は、割込みを受付けると、その割込み要求信号の種類などに応じて、CPU2に割り込み要求信号IRQを出力し、或いはDTC40にDTC起動要求信号DTRQを出力する。

【0050】CPU2に割り込み要求信号IRQが与えられると、CPU2は実行中の処理を中断して、割り込み要因に応じた所定の処理ルーチンに分岐する。分岐先の処理ルーチンの最後では、復帰命令が実行され、この命令を実行することによって前記中断した処理が再開可能にされる。

【0051】割り込みコントローラ45にはDTCチャネル毎のデータトランスマニコントローライネーブルレジスタ(DTCER)が設けられ、複数種類の割り込み要因に対してDTC起動の許可/禁止を設定できるようされる。許可されていれば対応する割り込み要因の発生により対応するDTCチャネルのDTC起動要求信号DTRQが活性化され、禁止されていれば対応する割り込み要因の発生により割り込み要求信号IRQが活性化される。DTC40の起動が可能にされる割り込み要因は、特に制限されないが、FR T51におけるインプットキャプチャ割り込みおよびコンペアマッチ、SCI47における送信完了割り込みおよび受信完了割り込み等とされる。DTC40の起動が可能にされる割り込み要因毎に、DTCベクタ番号、更には対応するベクタアドレスが決められている。

る。そのベクタアドレスには、対応するDTC起動要求で起動されるデータ転送制御条件が格納されるRAM上の領域の先頭アドレスが保有されている。割込みコントローラ45からDTC40にDTC起動要求信号DTRQが与えられると、これに応するDTCベクタもDTC40に供給される。DTC40は、そのDTCベクタが示すRAM42上のデータ転送制御条件を転送制御レジスタにロードし、ロードした転送制御条件などに従ってデータ転送制御を行う。

【0052】その他、データプロセッサ1は電源端子として、グランドレベル(Vss)及び電源電圧レベル(Vcc)などの外部端子を有し、その他に専用制御端子として、リセット入力(RES)、スタンバイ(入力STBY)、モード制御入力(MD0、MD1)、クロック入力(EXTAL、XTAL)の各端子を有する。

【0053】前記CPG44は、特に制限されないが、端子EXTAL、XTALに接続される水晶発振子またはEXTAL端子に入力される外部クロック信号に基づいてシステムクロック信号φを生成する。

【0054】データプロセッサ1にリセット信号RESが与えられると、CPU2等のオンチップ回路モジュールはリセット状態とされる。このリセット信号RESによるリセット状態が解除されると、CPU2は所定のスタートアドレスから命令をリードし、プログラムの実行を開始し、それに従って、例えば、RAM15からデータをフェッチし、フェッチしたデータの演算処理を行い、処理結果に基づいて、FR T51などを使用して、外部と信号入出力をやって、各種の機器制御を行う。

【0055】前記USB48などに対しても図1で説明したインターフェース仕様の追加変更に対するのと同様の構成を採用することが可能である。

【0056】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0057】例えば、第1及び第2ラッチ手段への制御情報の設定はCPUが直接行う場合に限定されず、CPUの制御に基づいてデータ転送を行うダイレクトメモリアクセスコントローラやデータトランスマニコントローラなどのデータ転送制御装置を用いて行ってもよい。

【0058】また、インターフェース制御のための第2の制御情報はコマンド動作タイプ情報及びコマンドレスポンスタイプ情報のような類型情報に限定されず、周辺回路の機能に応じて適宜変更可能である。

【0059】データプロセッサはシングルチップに限定されず、マルチチップであってもよい。また、インターフェースコントローラはMMCカードのインターフェースコントローラに限定されず、フラッシュメモリカードのインターフェースコントローラ、USBのインターフェースコントローラなどにも適用することができる。

【0060】コマンド動作タイプ情報及びコマンドレスポンスタイプ情報のような第2の制御情報を入力してインターフェース制御を行う動作制御シーケンサのような回路はハードワイヤードロジックであっても、プログラム制御ロジックであってもよい。

【0061】また、コマンド番号とコマンドタイプ及びコマンドレスポンスタイプとの対応関係を参照可能にするデータテーブルはオンチップマスクROMに構成してもよい。また、データテーブルのエントリを提供するデータライブラリはインターネット上でアクセス可能な場合に限定されず、CD-ROMやフレキシブルディスクなどの記憶媒体で提供してもよい。

【0062】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0063】即ち、データプロセッサのインターフェース動作は、インターフェース制御対象機器の動作を制御するための第1の制御情報と、前記インターフェース制御対象機器との間のインターフェース動作を制御するための第2の制御情報を対応させて夫々別々に定義できるようにしてあるから、インターフェース制御対象機器のために規定されているコマンドに追加或は変更があったとき、前記インターフェース制御対象機器へのコマンド送出の点に関しては、追加或は変更されたコマンドコードを第1の制御情報の一つとして新たに追加し或は対応する第1の制御情報を修正して対処すればよい。また、インターフェースコントローラそれ自体のインターフェース制御動作の点に関しては、追加或は変更されたコマンドコードによるインターフェース制御対象機器の機能若しくは動作の追加又はその変更に対応する制御を行うように第2の制御情報を修正して対処すればよい。これにより、インターフェース制御対象機器へ送出するコマンドを直接デコードしてインターフェース制御を行う構成に比べ、インターフェース仕様の追加・変更に対して対処が容易であり、また、インターフェース仕様の追加・変更に対して回路規模の増大を招くこと無く対処することができる。

【0064】対を成す前記第1の制御情報と第2に制御情報を対応させたデータテーブルを用いてインターフェース制御を行えばCPUのソフトウェアに対する負担も軽減することができる。

【0065】そのデータテーブルに対しては、第1の制御情報の追加又は変更に応じて、データテーブルに、追加に係る第1の制御情報と第2の制御情報の対応を追加し、データテーブル上で、変更に係る第1の制御情報と第2の制御情報の対応を修正すればよい。このデータテーブルの更新方法によれば、コマンド仕様などの変更に対して大きな負担なく対処することができる。

【図面の簡単な説明】

【図1】本発明に係るデータプロセッサの第1の例を示 50

すブロック図である。

【図2】MMCカードのカード制御コマンドの形式を例示するフォーマット図である。

【図3】MMCモードでMMCカードとMMCIFとを接続する接続態様を例示する接続態様図である。

【図4】SPIモードでMMCカードとMMCIFとを接続する接続態様を例示する接続態様図である。

【図5】コマンド動作タイプ情報及びコマンドレスポンスタイプ情報によるカード制御コマンドによる動作の類型を概略的に示す説明図である。

【図6】第2コマンド形態(CMD+RES)に類別されるコマンド送信及びコマンドレスポンス受信の動作シーケンスを例示するタイミングチャートである。

【図7】第4コマンド形態(CMD+RES+Read Data・シングル)に類別されるコマンド送信、コマンドレスポンス受信及びデータリードアクセスの動作シーケンスを例示するタイミングチャートである。

【図8】第5コマンド形態(CMD+RES+Read Data・マルチブル)に類別されるコマンド送信、コマンドレスpons受信及びマルチブルデータリードアクセスの動作シーケンスを例示するタイミングチャートである。

【図9】第7コマンド形態(CMD+RES+Write Data・シングル)に類別されるコマンド送信、コマンドレスpons受信及びライトアクセスの動作シーケンスを例示するタイミングチャートである。

【図10】本発明に係るデータプロセッサの第2の例を示すブロック図である。

【図11】本発明に係るデータプロセッサを全体的に示したブロック図である。

【符号の説明】

1、1A データプロセッサ
2 中央処理装置

3、3A MMCインターフェースコントローラ

4 バス

5 不揮発性メモリ

6 MMCカード

7 カードインターフェース部

8 バスインターフェース部

9 動作制御シーケンサ(制御手段)

10 第2のラッチ手段

MDR モードレジスタ

CTR コマンドタイプレジスタ

RTR レスponsタイプレジスタ

CMDR コマンドレジスタ(第1のラッチ手段)

20、20A データテーブル

21、21A 動作プログラム

22、22A データテーブル

30 クロック設定レジスタ(第1のラッチ手段)

31 コマンドレジスタ(第1のラッチ手段)

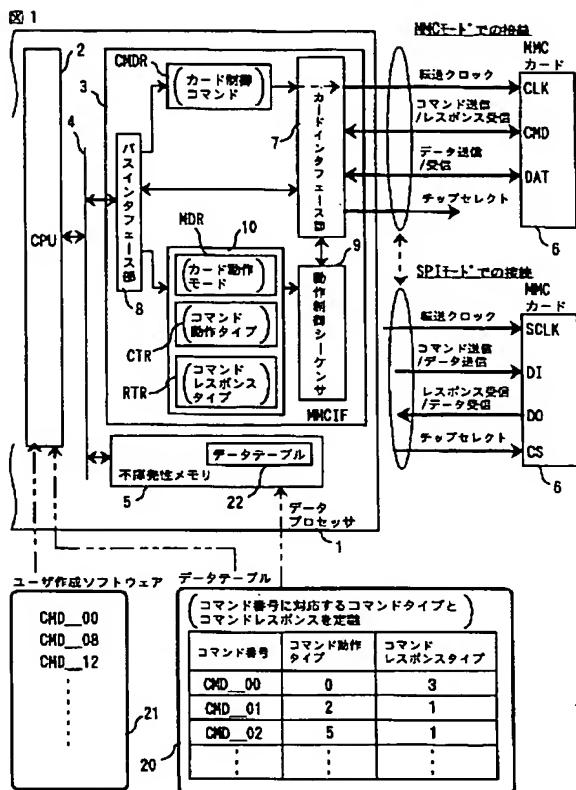
32 コマンドレスpons受信バッファ

3.3 送受信データバッファ

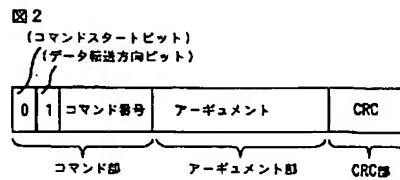
* 3.5 送受信制御回路 (制御手段)

3.4 逐次コントロールレジスタ (第2のラッチ手段) *

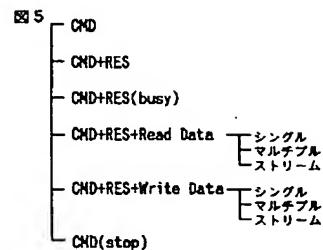
【図1】



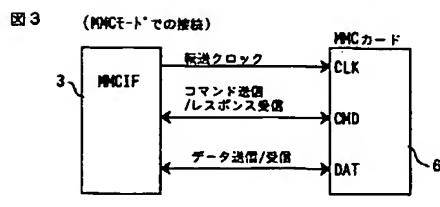
【図2】



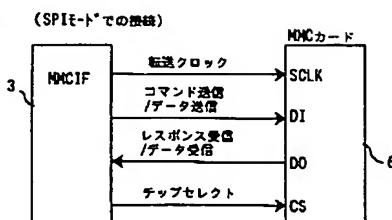
【図5】



【図3】



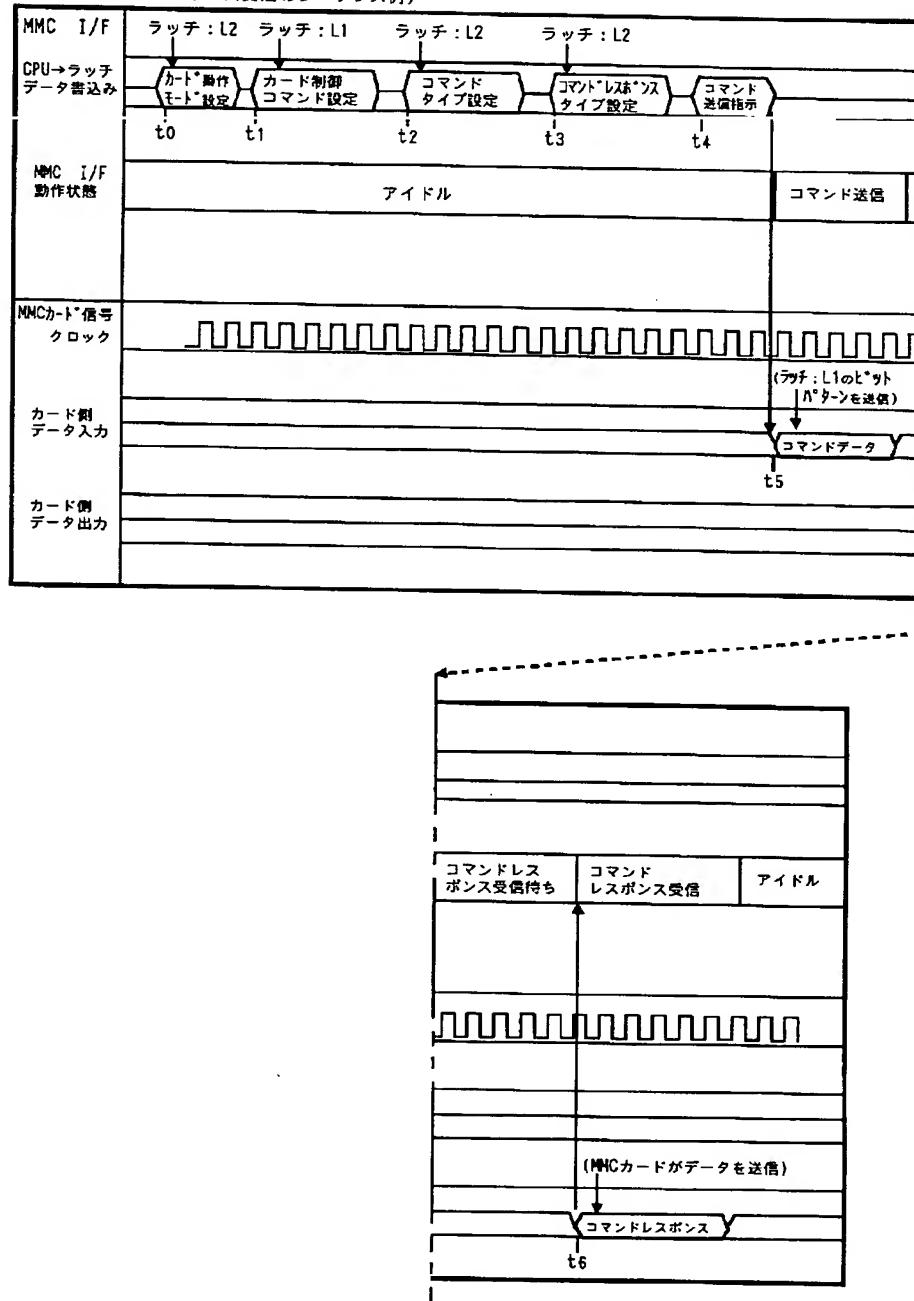
【図4】



【図6】

図6

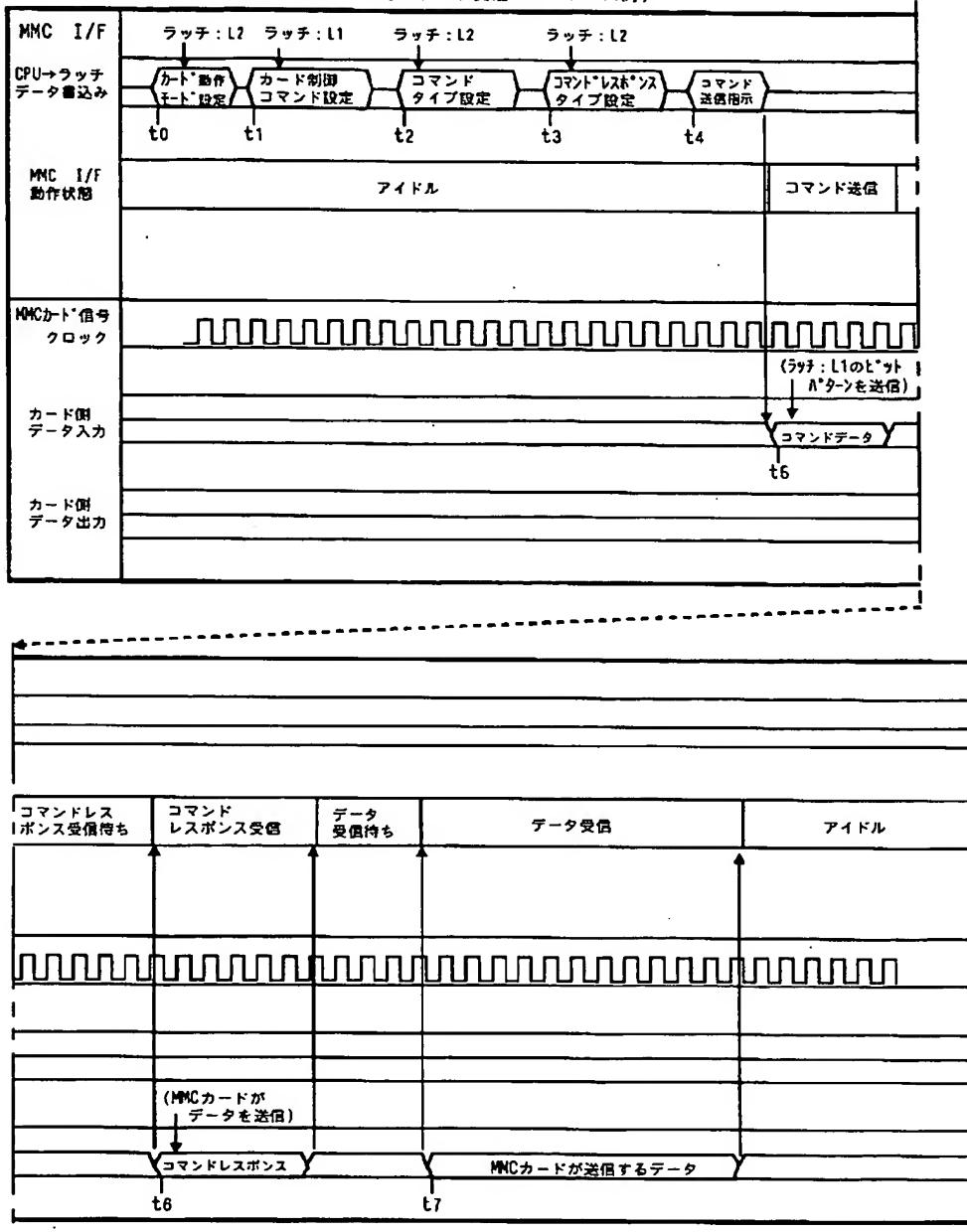
(コマンド送信/レスポンス受信のシーケンス例)



〔図7〕

7

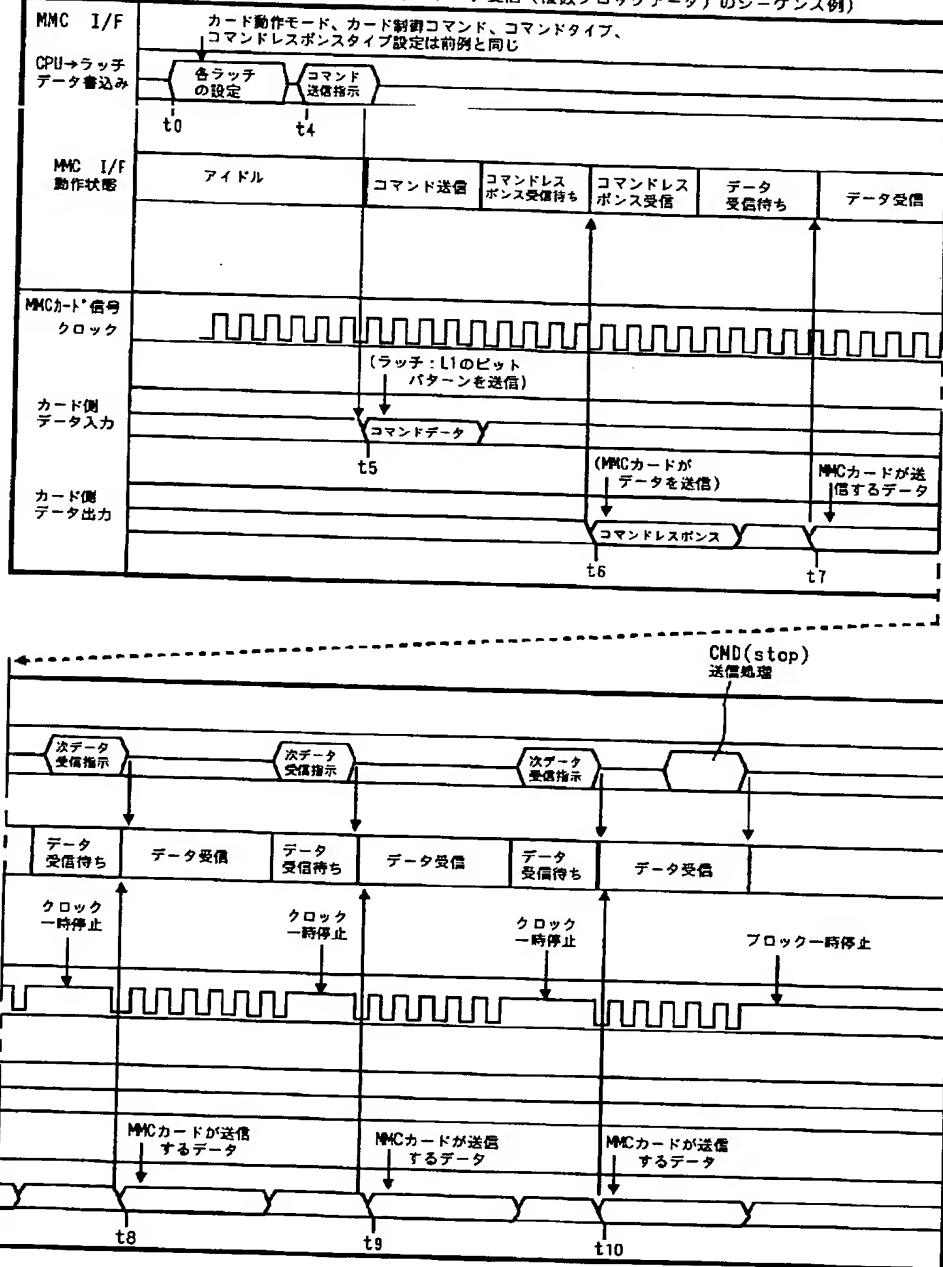
(コマンド送信/レスポンス受信/MMCカードからのデータ受信のシーケンス例)



【図8】

図8

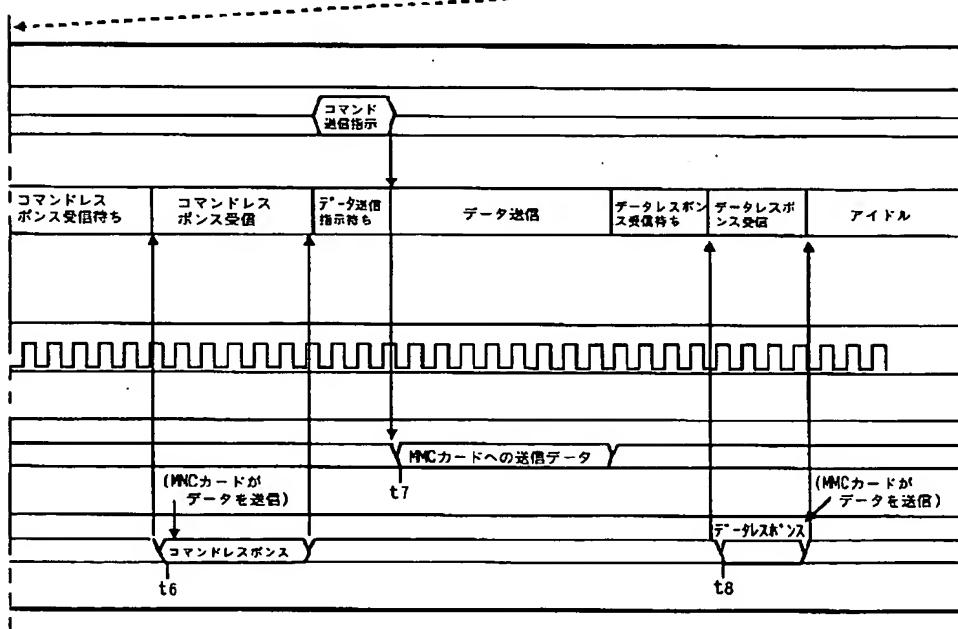
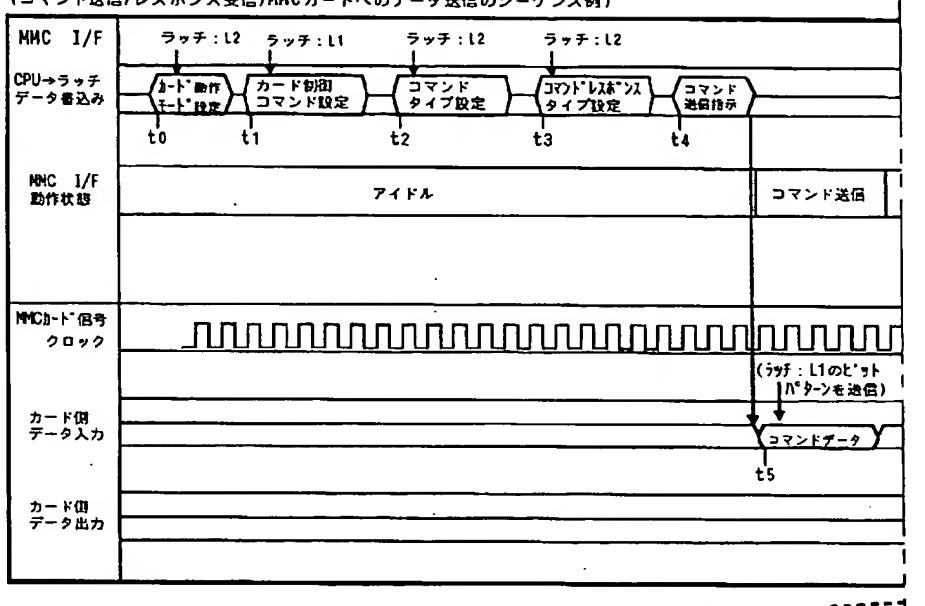
(コマンド送信/レスポンス受信/MMCカードからのデータ受信(複数ブロックデータ)のシーケンス例)



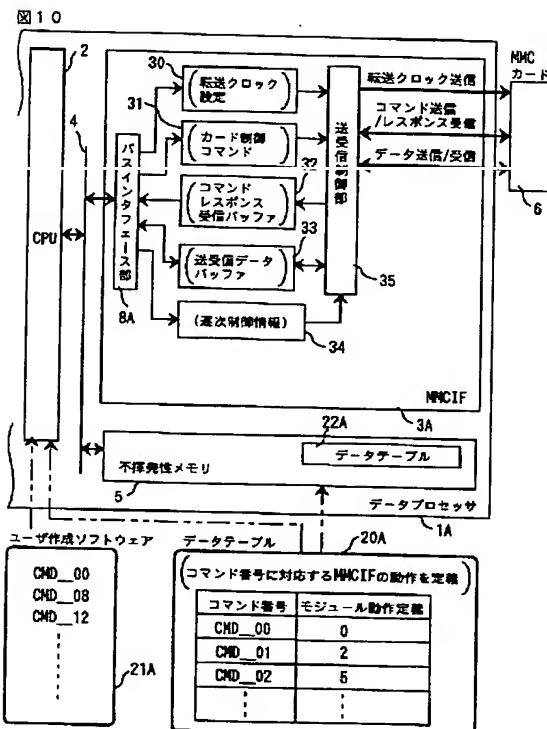
【図9】

図9

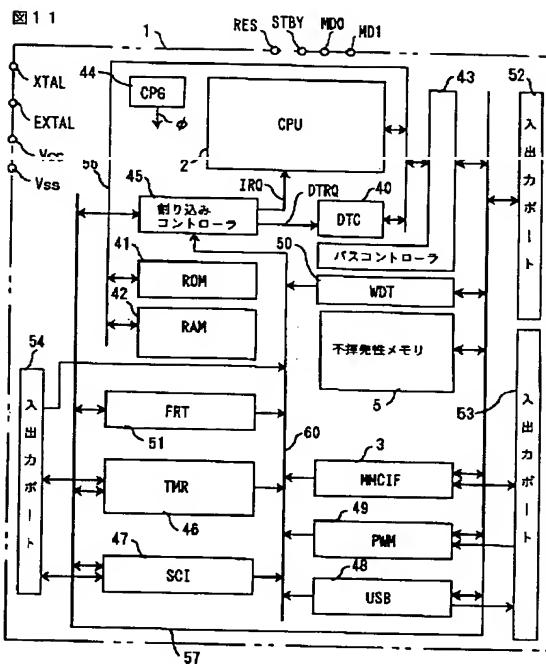
(コマンド送信/レスポンス受信/MMCカードへのデータ送信のシーケンス例)



【図10】



【図11】



フロントページの続き

(72)発明者 小山 秀見
北海道亀田郡七飯町字中島145番地 日立
北海セミコンダクタ株式会社内
(72)発明者 岩田 克美
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 飯田 好和
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(72)発明者 深澤 真一
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(72)発明者 藤本 司
東京都羽村市神明台二丁目6番13号 国際電気アルファ株式会社内
F ターム(参考) 5B014 GD22 GD31 GD46 GE06